

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-079498

(43)Date of publication of application : 24.03.1998

)Int.Cl.

H01L 27/12
H01L 21/304

)Application number : 08-232906

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>
SHIN ETSU HANDOTAI CO LTD

)Date of filing : 03.09.1996

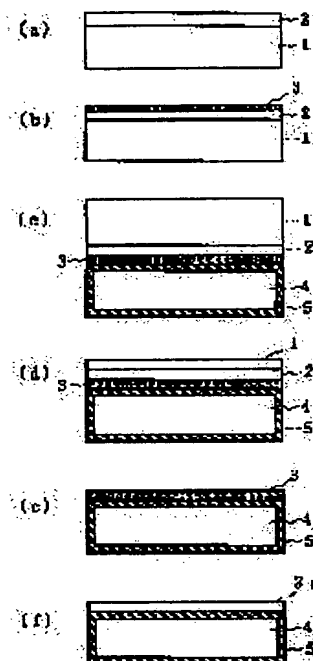
(72)Inventor : UNNO HIDEYUKI
HENMI MANABU
IMAI KAZUO
MITANI KIYOSHI
AGA KOJI

1) MANUFACTURE OF SOI SUBSTRATE

)Abstract:

PROBLEM TO BE SOLVED: To suppress occurrence of defects in an SOI substrate, due to a bonding method by bonding the surface of an insulating layer on a supporting substrate made of silicon to a monocrystal silicon layer which is epitaxially grown on the surface of a silicon wafer by a crystal pulling method and by removing the wafer from the rear face.

SOLUTION: An epitaxial layer 2 is formed by epitaxially growing silicon on a silicon wafer 1 fabricated by a crystal pulling method. Boron is injected into the epitaxial layer 2, thereby forming a p⁺-layer 3. A supporting substrate 4 is bonded to the surface of the p⁺-layer 3 on the silicon wafer 1. The rear surface of the silicon wafer 1 is ground and abraded to thin the silicon wafer 1. The silicon layer is selectively etched, so as to leave only the p⁺ layer 3 via a thermal oxide film 5 on the supporting substrate 4. By performing a heat treatment in a hydrogen atmosphere, boron is allowed to escape to the atmosphere. Consequently, a silicon layer 3a having a low concentration of impurities is formed, via the thermal oxide film 5 on the supporting substrate 4.



GAL STATUS

ate of request for examination]

ate of sending the examiner's decision of rejection]

ind of final disposal of application other than the
aminer's decision of rejection or application converted
gistration]

ate of final disposal for application]

atent number]

ate of registration]

umber of appeal against examiner's decision of
ection]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

the drawings, any words are not translated.

AIMS

aim(s)]

aim 1] The 1st process which forms a single-crystal-silicon layer in the silicon wafer front face which manufactured the crystal Czochralski method with epitaxial growth, The 2nd process which makes the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed in the front face, and said silicon wafer rival on said insulator layer front face and a single-crystal-silicon layer front face, The manufacture approach of the SOI substrate characterized by having the 3rd process which removes said silicon wafer from the rear face, and leaves said single-crystal-silicon layer on said insulator layer.

aim 2] The 1st process which carries out predetermined time heating of the silicon wafer manufactured by the crystal Czochralski method in the ambient atmosphere of a non-oxidizing quality of having hydrogen, The 2nd process which makes the front face of said silicon wafer rival on said insulator layer front face of the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed, The manufacture approach of the SOI substrate characterized by having the 3rd process which carries out predetermined thickness removal of said silicon wafer from the rear face, and leaves the silicon layer of predetermined thickness on said insulator layer.

aim 3] The 1st process which removes this thermal oxidation film after forming the thermal oxidation film in that front face by carrying out predetermined time heating of the silicon wafer manufactured by the crystal Czochralski method within the ambient atmosphere which has oxygen, The 2nd process which makes the front face of said silicon wafer rival on said insulator layer front face of the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed, The manufacture approach of the SOI substrate characterized by having the 3rd process which carries out predetermined thickness removal of said silicon wafer from the rear face, and leaves the silicon layer of predetermined thickness on said insulator layer.

aim 4] The manufacture approach of the SOI substrate characterized by forming a single-crystal-silicon layer in said silicon wafer front face with epitaxial growth after said 1st process, sticking the single-crystal-silicon layer front face of said silicon wafer on said insulator layer front face of said support substrate at said 2nd process, removing said silicon wafer from the rear face at said 3rd process in the manufacture approach of a SOI substrate according to claim 2 or 3, leaving said single-crystal-silicon layer on said insulator layer.

aim 5] It is the manufacture approach of the SOI substrate characterized by performing said heating at the elevated temperature exceeding 1100 degrees C in the manufacture approach of a SOI substrate claim 2 - given in 4 any 1 terms.

aim 6] In the manufacture approach of a SOI substrate according to claim 1 before said 1st process The impurity of concentration higher than said silicon wafer is introduced into said silicon wafer front face, and the impurity installation layer of predetermined thickness is formed. At said 1st process Said single-crystal-silicon layer is formed on said impurity installation layer. At said 3rd process The manufacture approach of the SOI substrate characterized by falling the high impurity concentration of said impurity installation layer by the selective etching using a high-impurity-concentration difference removing said silicon wafer from a rear face, exposing said impurity installation layer, and heating by the reducing atmosphere.

aim 7] In the manufacture approach of a SOI substrate claim 2 - given in 5 any 1 terms after said 1st process The impurity of concentration higher than said silicon wafer is introduced into said silicon wafer front face, and the impurity installation layer of predetermined thickness is formed. At said 3rd process The manufacture approach of the SOI substrate characterized by falling the high impurity concentration of said impurity installation layer by the selective etching using a high-impurity-concentration difference removing said silicon wafer from a rear face, exposing said impurity installation layer, and heating by the reducing atmosphere.

aim 8] The manufacture approach of the SOI substrate characterized by removing said silicon wafer from said silicon wafer side at said 3rd process in the manufacture approach of a SOI substrate claim 1 - given in 5 any 1 terms by forming local plasma etching by the measurement result of the residual film thickness of silicon.

://www4.ipdl.jpo.go.jp/cgi-bin/tran_web CGI_ejje?u=http%3A%2F%2Fwww4.ipdl.jpo.go.jp%2FTokuji... 7/1/2004

nslation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

the drawings, any words are not translated.

TAILED DESCRIPTION

tailed Description of the Invention]

01]

eld of the Invention] This invention relates to the manufacture approach of the SOI substrate by lamination.

02]

scription of the Prior Art] While large integration and high-performance-izing of LSI by the semiconductor device
ing silicon progress, the high speed of these LSI and low-power-ization have been required. As a substrate for
SLSI corresponding to this demand, the thin film SOI substrate attracts attention instead of the bulk silicon wafer
d conventionally. As the manufacture approach of a thin film SOI substrate, it roughly divides and there are a
FOX (Separation by Implanted Oxygen) technique using an oxygen ion implantation and a lamination technique by
king two substrates rival.

03] First, the outline of a SIMOX technique is explained. First, this pours $4 \times 10^{17} \text{cm}^{-2}$ and a lot of
xygen ion into the wafer 91 interior which consists of bulk silicon, as shown in drawing 9 (a). The silicon layer 92 is
ned in wafer 91 front face of this, and the oxygen ion-implantation layer 93 is formed in the bottom of it of it.
sequently, as that wafer 91 is heated, the silicon of a wafer 91 and the oxygen ion of the oxygen ion-implantation
er 93 are made to react by this heat treatment and it is shown in drawing 9 (b), it embeds in the bottom of the silicon
er 92, and an insulator layer 94 is formed.

04] However, with this SIMOX technique, in order that a lot of oxygen ion may pass through under the silicon
stal on the front face of a wafer, a damage goes into surface silicon (silicon layer), and many crystal defects occur.
d a crystal defect remains also in subsequent heat treatment, without recovering crystallinity completely. For this
son, the crystallinity of the surface silicon of the SOI substrate formed with the SIMOX technique is inferior to the
con substrate formed by the crystal Czochralski method.

05] Next, the outline of a lamination technique is explained. First, there is a technique which creates a SOI substrate,
king full use of the grinding polish processing technique cultivated by the conventional bulk silicon wafer formation.
shown in drawing 10 (a), this forms the thermal oxidation film 102 in silicon wafer 101 front face, and subsequently
drawing 10 (b), it pastes up this silicon wafer 101 and the support substrate 103 so that it may be shown. Then, those
id strength is strengthened by heat treatment. And as shown in drawing 10 (c), it considers as the condition that the
con layer 104 which performed grinding polish, embedded the thermal oxidation film 102 on the support substrate
3, and was made into the insulator layer from the silicon wafer 101 side was formed.

06] In order that an above-mentioned approach may thin-film-ize silicon only with the polish technique cultivated by
k silicon polish, it is the technique which is considered that the crystallinity of the formed silicon layer is equivalent
bulk silicon, and can form a SOI substrate by low cost. However, if the thickness of the surface silicon layer after
ish is set to about 1-2 micrometers, the homogeneity of the surface silicon layer membrane thickness within a wafer
e will worsen. Although surface silicon layer membrane thickness is put in practical use as a creation technique of a
I substrate 2 micrometers or more in the present condition, surface silicon layer membrane thickness is difficult for
duction of a SOI substrate 1 micrometer or less.

07] next, PACE (Plasma Assisted Chemical Etching) whose thickness of a silicon layer is a thin film SOI substrate
duction technique 1 micrometer or less -- law is explained. By this PACE method, the SOI substrate first thin-film-
d to about 2-5 micrometers with the polish technique mentioned above is prepared, and the silicon layer membrane
ckness distribution within the field of this SOI substrate is measured. And by carrying out plasma etching locally,
king the thickness data feed back, thickness control is carried out and a silicon layer 1 micrometer or less is formed.
s the technique which forms the silicon layer which also thin-film-ized this PACE method by grinding and etching
lk silicon fundamentally, and a lot of damages are not given to a crystal by the ion implantation like a SIMOX

nique.

18] Moreover, the boron dirty stopping method is proposed by one of the thin layer SOI substrate manufacture approaches by lamination (JP,8-139297,A). Below, this boron dirty stopping method is explained. First, as shown in drawing 11 (a), the high concentration boron layer 112 is formed in the wafer 111 which consists of bulk silicon. The concentration of this high concentration boron layer 112 is about $[5 \times 10^{19} \text{cm}^{-3}]$ three. What is necessary is just the solid phase diffusion or ion-implantation for formation of this high concentration boron layer 112.

19] However, an important thing is making it a crystal defect not enter at the time of high concentration boron layer formation here. This high concentration boron layer 112 turns into a layer in which it finally embeds, and becomes a silicon layer on an insulator layer, and a component is formed. When a crystal defect enters at the time of high concentration boron layer 112 formation, it becomes impossible therefore, to maintain the crystal quality as a silicon layer. And when forming the high concentration boron layer 112 for example, by solid phase diffusion for the crystal quality maintenance, the conditions into which a crystal defect does not go are found out by controlling diffusion temperature and a diffusion time.

20] Next, as shown in drawing 11 (b), the support wafer 113 is pasted up on high concentration boron layer 112 on the front face of a wafer 111. The thermal oxidation film 114 is beforehand formed in this support wafer 113 front face. Then, as shown in drawing 11 (c) from wafer 111 rear face, grinding polish is carried out and thickness of a wafer 111 is to several 10 micrometers or less. Next, selective etching is performed by the potassium-hydroxide water solution or NH_4F (ethylenediamine poly catechol water solution).

21] By this etching, there is a property in which an etch rate falls, with the silicon with which p form impurities, such as boron, were introduced into high concentration. For this reason, if above-mentioned etching is performed, after etching, if the high concentration boron layer 112 is exposed, an etch rate will fall rapidly and that etching will stop mostly. Consequently, as shown in drawing 11 (d), it becomes possible to leave the high concentration boron layer 112 alternatively. And if it heat-treats in a hydrogen ambient atmosphere after the high concentration boron layer 112 has been exposed, it will escape from the boron in the high concentration boron layer 112 by out-diffusion, and as shown in drawing 11 (e), the SOI substrate with which low concentration silicon layer 112a was formed in the front face can be completed.

22] In order that the silicon layer of the lamination SOI substrate by the boron dirty stopping method shown above can carry out lamination of the silicon layer, maintaining the crystallinity of bulk silicon, it is said that the crystallinity is generally superior to a SIMOX substrate. Moreover, according to this approach, the thickness of a silicon layer is controlled by the amount of installation of boron ion (depth) as a result. For this reason, according to this approach, it comes possible to form a silicon layer in homogeneity more thinly.

23] [Problem(s) to be Solved by the Invention] However, it became clear that a defect occurred on the silicon layer front face of the SOI substrate produced by the lamination mentioned above. For example, in the silicon layer front face of the SOI substrate produced by the boron dirty stopping method, as shown in drawing 12, the circular defect had occurred. The diameter of the outermost periphery of this defect had also amounted to 50 micrometers. However, there were not necessarily so many the numbers within the wafer of for example, the diameter of 6 inch as ten or less pieces. This defective part has become depressed rather than the silicon layer front face, and has done the level difference.

24] Although this considered the defect peculiar to the boron dirty stopping method at the beginning -- PACE -- it became clear that the same defect also as the SOI substrate formed by law had occurred. This defect was discovered while performing contamination analysis of the SOI substrate front face formed by the PACE method. Although the oxide film of the ultra-thin film was formed in the silicon layer front face of the formed SOI substrate and this oxide film was removed in this contamination analysis, when this process was repeated several times, the circular defect as shown in drawing 13 occurred. This defect had become depressed too and the diameter was dozens of micrometers. Moreover, the occurrences were ten or less pieces within the wafer. There is a close resemblance between the defect generated in the SOI substrate produced by this PACE method, and the defect generated by the above-mentioned boron dirty stopping methods, such as magnitude, a configuration, and the generating number.

25] Although the defect mentioned above has few 10 per one wafer, and occurrences, in order that the component produced in this field may become certainly poor and may reduce the yield of LSI, it is by no means desirable. This defect might be thought that the dust (particle) in a SOI production process had occurred owing to by the beginning. And reduction of the defect was tried by performing measures, such as dust reduction of a process ambient atmosphere, and much more reduction of the material of construction. However, the effectiveness of the defective reduction by those measures was not seen, but the defect still shown in drawing 12 and drawing 13 generated it.

26] The defect discovered with the SOI substrate shown by old explanation is a defect hardly found in the usual

microscopic inspection. It is thought of forming hydrogen processing that it was observable during the hydrogen processing which reduces the high concentration boron in a silicon thin film in the boron dirty stopping method and which is performed for accumulating as shown below. That is, although it originally existed in the silicon front face, the size of the defect mentioned above is small and is not found. However, under hydrogen processing is performed by the boron dirty stopping method. In this processing, an embedding insulator layer disappears according to a reduction reaction with the hydrogen gas with which even the oxide film reached through that minute defect. And the oxygen generated by the reduction reacts with the silicon of the perimeter of a defect, and is returned by hydrogen gas again. And those things are ***** (ed). A defect becomes large gradually by this repeat, and it becomes easy to find it as a result.

17] Moreover, by repeating oxidation and oxide-film removal of a silicon layer by the surface analysis of a SOI substrate, silicon disappears in the defective part of a certain kind which existed in the silicon layer, and the defect is covered with the SOI substrate formed by the PACE method is found, when it is expanded. As a result of investigating the cause of the defect generated in the silicon layer of the SOI substrate by these lamination from various angles by SEM observation, Auger analysis, etc., it became clear that the very minute level difference produced according to the crystal defect of a silicon wafer surface layer of a certain kind was involving.

18] This invention is made in order to cancel the above troubles, and it aims at enabling it to control defective generating of the SOI substrate manufactured by lamination.

19] [Means for Solving the Problem] The manufacture approach of the SOI substrate this invention makes the support substrate which consists of silicon with which the single-crystal-silicon layer was formed in the silicon wafer front face which manufactured by the crystal Czochralski method with epitaxial growth, and the insulator layer of predetermined thickness was formed in this and a front face rival on an insulator layer front face and a single-crystal-silicon layer front face. And a silicon wafer is removed from the rear face, and it left the single-crystal-silicon layer on the insulator layer. In the above single-crystal-silicon stratification, the local minute level difference in a silicon wafer front face decreases. Moreover, before forming a single-crystal-silicon layer in addition to the above thing, the impurity of concentration higher than a silicon wafer is introduced into a silicon wafer front face, and the impurity installation layer of determined thickness is formed in it. Moreover, a single-crystal-silicon layer is formed on the impurity installation layer. And the selective etching using a high-impurity-concentration difference removes a silicon wafer from a rear face, impurity installation layer is exposed, and the high impurity concentration of an impurity installation layer was made full by heating by the reducing atmosphere. By doing in this way, since an impurity installation layer can leave a reaction target in selective etching, it can leave a silicon layer to the thickness of the introductory layer in impurity installation.

20] Moreover, the manufacture approach of the SOI substrate this invention carries out predetermined time heating of the silicon wafer manufactured by the crystal Czochralski method in the ambient atmosphere of a non-oxidizing ability of having hydrogen, and makes the front face of that silicon wafer rival on said insulator layer front face of the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed. And predetermined thickness removal of the silicon wafer is carried out from the rear face, and it left the silicon layer of determined thickness on said insulator layer. The local minute level difference in a silicon wafer front face decreases by heat treatment of the non-oxidizing atmosphere containing the above hydrogen. Moreover, the manufacture approach of the SOI substrate this invention removes this thermal oxidation film, after forming the thermal oxidation film in that front face by carrying out predetermined time heating of the silicon wafer manufactured by the crystal Czochralski method within the ambient atmosphere which has oxygen. Subsequently, the front face of the silicon wafer is made to rival on said insulator layer front face of the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed. And predetermined thickness removal of the silicon wafer is carried out from the rear face, and it left the silicon layer of predetermined thickness on the insulator layer. Thus, the local minute level difference in a silicon wafer front face decreases by forming the thermal oxidation film.

21] [Embodiment of the Invention] The gestalt of implementation of this invention is explained with reference to drawing. It is optimal to compare what forms a SOI substrate, measures the number of defects in the state of a SOI substrate as a reduction example of a defect, and is depended on the conventional technique with the thing to depend on invention. However, the number evaluation of defects of a silicon thin film 1 micrometer or less is lacking in repeatability or stability. Then, the crystal defect of the silicon wafer of the condition of the bulk before SOI substrate formation is evaluated first.

22] As a candidate for evaluation, the silicon wafer formed by the crystal Czochralski method (CZ process) is used.

high impurity concentration of this formed silicon wafer is usually three or less $\times 10^{17} \text{cm}^{-3}$ low concentration. In addition, henceforth, what was formed by this CZ process is expressed as a silicon wafer. And what grew silicon axially and formed the epilayer of 10 micrometers of thickness on this silicon wafer is prepared. The high impurity concentration of the formed epilayer as well as a silicon wafer is low concentration, and is usually about $[1 \times 10^{16} \text{cm}^{-3}]$ and less than $[it]$. Partial minute defective observation was performed about the silicon front face of the silicon wafer which this epilayer was formed, and the silicon wafer which does not form the epilayer. The copper-decoration method was used for this evaluation.

23] Here, a copper-decoration method is explained below. First, the silicon front face which should be evaluated is oxidized by the oxidizing [thermally] method, and an oxide film is formed. Next, in the container of the equipment for copper decoration, alcoholic liquid is filled, and an electrical potential difference is impressed by using a copper plate as a plus electrode within this solution, using an evaluation wafer as a minus electrode. Moreover, the electrical potential difference to impress is made below into the withstand voltage electrical potential difference of silicon oxide. If the oxide film of an evaluation wafer front face is whole surface homogeneity at this time, a copper deposit will not take place to an oxide-film front face.

24] However, if a defect exists in the oxide film of an evaluation wafer front face, the quality of an oxide film has deteriorated locally or oxide-film thickness is thin, above a certain field strength, a current deposits into this defective part and copper deposits on the oxide-film front face of outflow and a defective part. The copper-decoration method is serving directly the defect which exists in the oxide film formed in the silicon front face. However, since it is easy to concentrate electrolysis according to a size effect on the oxide film formed there and the quality of an oxide film is also prior to a perimeter when there is a local minute level difference in a silicon front face, copper deposits in these active parts. That is, it is thought that the part where the deposit of copper was observed by the copper-decoration method had a local minute level difference before oxide-film formation. Therefore, the defect on the front face of silicon detection of a local minute level difference are possible for a copper-decoration method.

25] The evaluation result of the number of the partial minute level difference detected by the copper-decoration method on the silicon wafer explained above in which the epilayer was formed, and the front face of a silicon wafer which is not formed is shown in drawing 1. As shown in drawing 1, in the silicon wafer front face which does not form epilayer, the partial minute level difference of four-piece weakness had occurred on the average. On the other hand, the silicon wafer front face in which the epilayer was formed, the partial minute level difference is decreasing with piece. This shows that the minute level difference resulting from the crystal defect of a certain kind which existed in silicon wafer front face almost disappears by the growth process of an epilayer, and the minute level difference is decreasing on the epilayer front face.

26] As mentioned above, the very minute level difference produced according to the crystal defect of a silicon wafer front face layer of a certain kind is participating in the SOI substrate surface discontinuity for example, by the boron dirty stopping method. For this reason, if the silicon wafer in which the epilayer made into the condition that there is almost minute level difference by having mentioned above was formed is used, a SOI substrate without a defect can be produced. For example, [0027] which can form a SOI substrate with few defects if only the epilayer formed on the silicon wafer is embedded and it is made to become a silicon layer on an insulator layer Drawing 2 is used below for gestalt 1. In operation, an epilayer is formed on the silicon wafer manufactured by the CZ process, a surface pollutant is removed by washing the silicon wafer first manufactured by the CZ process explaining the case where a SOI substrate is produced by the boron dirty stopping method using this marketed from the wafer manufacturer, the natural oxidation film is removed further, and a pure silicon side is formed. Subsequently, as shown in drawing 2 (a), on a silicon wafer 1, silicon is grown epitaxially and an epilayer 2 is formed.

28] Next, as shown in drawing 2 (b), the ion implantation of the boron is carried out to an epilayer 2, and it is p+. A layer 3 is formed. It is made for the boron which carries out an ion implantation not to reach a silicon wafer 1 at this time. Next, as shown in drawing 2 (c), it is p+ of this silicon wafer 1. The support substrate 4 is made to rival on layer 3 at its face. And it heat-treats and the adhesive strength is strengthened. In addition, the thermal oxidation film 5 is formed in support substrate 4 front face. Next, as shown in drawing 2 (d) from silicon wafer 1 rear face, grinding polish is carried out and lamination of the silicon wafer 1 is carried out.

29] Next, as shown in drawing 2 (e), with a potassium-hydroxide water solution, the silicon layer whose impurity is of low concentration alternatively is etched, and the thermal oxidation film 5 is minded on the support substrate 4, it is p+. It leaves only a layer 3. In addition, you may make it use EPW liquid in this etching. Subsequently, as shown in drawing 2 (f), by heat-treating in a hydrogen ambient atmosphere, boron is extracted in atmospheric air by out-diffusion, and silicon layer 3a from which the impurity became low concentration through the thermal oxidation film 5 the support substrate 4 is formed.

30] The SOI substrate by silicon layer which embedded the lower layer thermal oxidation film 5, and was made the insulator layer by the above thing is completed. And according to the gestalt 1 of this operation, it is p+ to silicon wafer 1 front face. By forming a layer 3, the minute level difference resulting from a certain kind of crystal defect is extinguished. And p+ formed in the front face of this silicon wafer 1 He is trying to use a layer 3 as a silicon layer on the embedding insulator layer of a SOI substrate. Consequently, according to the gestalt 1 of this operation, the substrate which does not almost have a defect which was mentioned above can be obtained.

31] In example of comparison 1., and time, the ELTRAN method is proposed as the double dirty stopping method as manufacture approach using the silicon film by epitaxial growth in the lamination SOI substrate until now. Introduction and the double dirty stopping method are explained. By the double dirty stopping method, first, as shown in drawing 3 (a), an impurity injects boron into silicon wafer 31 low-concentration front face by the ion implantation or diffusion at high concentration, and it is p+. A layer 32 is formed. This p+ The boron concentration of a layer 32 is three more [$5 \times 10^{19} \text{cm}^{-3}$].

32] Subsequently, it is this p+ as shown in drawing 3 (b). An impurity forms the silicon layer 33 of a low-concentration single crystal with epitaxial growth on a layer 32. Finally, since it becomes the field in which a component is formed, in order to control the electrical property of the component to form, as for this silicon layer 33, it is desirable for high impurity concentration to be three or less [$1 \times 10^{17} \text{cm}^{-3}$] generally. Therefore, p+ Between a layer 32 and the epitaxially grown silicon layer 33, the high-impurity-concentration difference of figures triple [2-] is made.

33] Here, in this way, if there is a high-impurity-concentration difference, stress will be applied to the silicon layer and many crystal defects will occur in the formed silicon layer 33. In order to ease this stress, the approach of adding carbon which is the same IV group element as silicon, and germanium several% in the silicon film growing epitaxially is proposed (3 29 SEMICONDUCTOR WAFER BONDING : Proceedings of the second international symposium on "SCIENCE, TECHNOLOGY, AND APPLICATION, PV93- p 1993).

34] Next, drawing 3 (c) silicon layer 33 front face is oxidized thermally, and an oxide film 34 is formed. Subsequently, the support wafer 35 is made to rival, as shown in drawing 3 (d). next, it is shown in drawing 3 (e) -- as -- silicon wafer 31 rear face -- grinding -- or it grinds and lamination of this silicon wafer 31 is carried out. Next, a silicon wafer 31 is etched by the wet etching using a potassium-hydroxide water solution or EPW liquid. p+ from which boron is introduced into high concentration by this etching as shown in drawing 3 (f) A layer 32 remains without being removed.

35] And it is p+ by the technique into which an impurity etches alternatively the silicon introduced into high concentration. A layer 32 is removed. The SOI substrate with which it embedded on the support wafer 35 by this as shown in drawing 3 (g), and the silicon layer 33 was formed through the oxide film 34 as an insulator layer is completed. However, the silicon film by the epitaxial growth left behind on the embedding insulator layer is silicon film which contained impurities the single-crystal-silicon film with which many crystal defects exist, or other than silicon several%. That is, it is in ** that the silicon film by this example 1 of a comparison is inferior to the crystallinity of silicon manufactured by the CZ process.

36] P+ which introduced boron into both high concentration when the SOI substrate by the gestalt 1 of the above-mentioned operation was compared with the SOI substrate of this example 1 of a comparison He is trying to form a layer. However, since an impurity forms a silicon layer by growing epitaxially on a low-concentration SOI substrate with the SOI substrate by the gestalt 1 of operation, the crystallinity of this silicon layer is good. And it is p+ at the conditions from which a crystal defect does not go into the silicon film by the good epitaxial growth with the gestalt 1 of operation. He is trying to form a layer.

37] With the double dirty stopping method of the example 1 of a comparison, it is p+ to a silicon wafer front face to above thing. A layer is formed and the silicon film is formed with epitaxial growth on it. For this reason, as mentioned above, the crystallinity of the formed silicon film cannot be said to be fitness. That is, although the silicon film by epitaxial growth is used also in the gestalt 1 of operation, or the example 1 of a comparison, the crystallinity of film in which the formation fault was formed differs.

38] example of comparison 2. -- on the other hand -- ELTRAN -- law changes the front face of porosity silicon into a single crystal layer by heat treatment first. Subsequently, the single-crystal-silicon film is grown up with epitaxial growth on it. And it is the approach of producing a SOI substrate, using this silicon film like the above-mentioned double top method. However, it is shown clearly that the crystal defect of $2 \times 10^3 \text{cm}^{-2}$ is included in the single-crystal-silicon film by this epitaxial growth (101 the Nikkei micro device October issue, p 1994).

39] Therefore, although the silicon film by epitaxial growth is used also in this ELTRAN method, the crystallinity of film in which the formation fault was formed differs in the gestalt 1 of operation too. it was shown above -- as -- the double dirty stopping method and ELTRAN -- the silicon film by the epitaxial growth used by law is inferior to the

con wafer by the CZ process in the crystal quality. For this reason, it is clear that the partial minute level difference as the defect in a SOI substrate cannot be reduced by those approaches.

40] With gestalt 2. of operation, and the gestalt 1 of the above-mentioned implementation in time, although it was able to reduce the partial minute level difference on the front face of a silicon wafer by forming the silicon film by epitaxial growth, it does not restrict to this. The gestalt 2 of this operation shows how to reduce the partial minute level difference on the front face of a silicon wafer, without forming the silicon film by epitaxial growth. With the gestalt 2 of operation, the partial minute level difference on the front face of a silicon wafer is reduced by heat-treating in the ambient atmosphere containing hydrogen gas (hydrogen processing).

41] First, the relation between the processing time at the time of carrying out hydrogen processing at the processing temperature of 1150 degrees C and the number of the detected partial minute level difference is shown in drawing 4. As shown in drawing 4, the partial minute level difference which was by four averages before hydrogen processing is decreasing to an average of 0.5 pieces by the hydrogen processing for 30 minutes. After that, it is not dependent on the hydrogen processing time, and the number of a partial minute level difference becomes fixed. There is such no reduction effectiveness at the case where this heat treatment is performed in the ambient atmosphere of nitrogen 100%.

42] By heat-treating in hydrogen, the oxide shown in the silicon front face is removed by reduction operation of hydrogen, and a silicon clarification side is acquired. And it is thought that the rearrangement of a silicon atom tends to open with place heat energy, a local minute level difference is embedded in the ambient atmosphere of such a non-doping quality, and a defect decreases with this. For this reason, since the rearrangement of silicon cannot happen easily if heat treatment temperature is low, that effectiveness is small if above-mentioned hydrogen processing is not performed at an elevated temperature 1100 degrees C or more.

43] And a SOI substrate is produced by the boron dirty stopping method shown in drawing 11 using the silicon wafer in which the local minute level difference reduced by heat treatment in this hydrogen ambient atmosphere. By this, the SOI substrate which does not almost have a defect by the local minute level difference can be obtained like the gestalt 1 of operation also in the gestalt 2 of this operation. Moreover, with the SOI substrate by the gestalt 2 of this operation, silicon wafer manufactured by the CZ process is used as the silicon layer by carrying out lamination. For this reason, the gestalt 2 of this operation, it cannot be overemphasized that the silicon layer of a SOI substrate front face has good crystallinity.

44] The gestalt of implementation of the 3rd of this invention is explained below gestalt 3. of operation. With the gestalt 3 of this operation, the partial minute level difference on the front face of a silicon wafer is reduced by processing shown below. First, the silicon wafer manufactured by the CZ process is prepared, it heat-treats in an oxygen ambient atmosphere, and the thermal oxidation film is formed in a silicon front face. Next, the water solution containing hydrofluoric acid or fluoric acid removes this thermal oxidation film, and a silicon side is again exposed on a silicon wafer front face. In addition, formation of the above-mentioned thermal oxidation film is called sacrifice oxidation.

45] Drawing 5 is the explanatory view showing the relation between the processing time of the sacrifice oxidation, and the number of the partial minute level difference on the front face of a silicon wafer after removing the formed oxide film. Here, sacrifice oxidation was performed by heating at 1150 degrees C in a dry oxygen ambient atmosphere. As shown in drawing 5, the number of a partial minute level difference decreases to one or less piece on an average by processing for oxidation time amount 50 minutes. And the number of partial minute level differences becomes fixed more than in oxidation time amount 100 minute.

46] Here, although processed at the elevated temperature of 1150 degrees C, the reduction effectiveness of a partial minute level difference is so remarkable that it carries out at an elevated temperature. On the contrary, below 1100 degrees C, the effectiveness is small. Moreover, although drawing 5 is the case where sacrifice oxidation is performed in dry oxygen ambient atmosphere, it brings same result also in the oxygen ambient atmosphere containing a steam. And the reduction effectiveness of this partial minute level difference is acquired when it oxidizes thermally at the elevated temperature exceeding 1100 degrees C. After oxidizing thermally below 1100 degrees C, even if it is made to perform 100-degree C heat treatment by nitrogen-gas-atmosphere method, the reduction effectiveness of a partial minute level difference is not acquired.

47] Hereafter, the manufacture approach of the SOI substrate in the gestalt 3 of this operation is explained using drawing 6. First, after making into clarification silicon wafer 61 front face manufactured by the CZ process, as shown in drawing 6 (a), the thermal oxidation film 62 is formed by oxidizing thermally at the oxidation temperature of 1150 degrees C. Next, as shown in drawing 6 (b), the formed thermal oxidation film 62 is removed using the etching reagent in a fluoric acid system, and the silicon front face of a silicon wafer 61 is exposed.

48] Subsequently, it is p+ by introducing boron into the silicon wafer 61 which consists of bulk silicon at high concentration, as shown in drawing 6 (c). A layer 63 is formed. This p+ The boron concentration of a layer 63 is about

1019cm -] three. This p+ It is p+ that is important although what is necessary is to use solid phase diffusion on-implantation for formation of a layer 63. It is making it a crystal defect not enter at the time of layer 63 formation. s p+ A layer 63 turns into a layer in which it finally embeds, and becomes a silicon layer on an insulator layer, and a component is formed. Therefore, p+ When a crystal defect enters at the time of layer 63 formation, it becomes possible to maintain the crystal quality as a silicon layer. Therefore, for example, it is p+ by solid phase diffusion. When forming a layer 63, the conditions into which crystal time amount does not go are found out by controlling diffusion temperature and a diffusion time.

49] Next, as shown in drawing 6 (d), it is p+ of a silicon wafer 61. The support wafer 64 is pasted up on layer 63 on front face. The thermal oxidation film 65 is beforehand formed in this support wafer 64 front face. Next, as shown in drawing 6 (e) from silicon wafer 61 rear face, grinding polish is carried out and thickness of a silicon wafer 61 is set to equal 10 micrometers or less. Next, a potassium-hydroxide water solution or EPW liquid performs selective etching. 50] By this etching, there is a property in which an etch rate falls, with the silicon with which p form impurities, such as boron, were introduced into high concentration. For this reason, p+ if above-mentioned etching is performed, after etching If a layer 63 is exposed, an etch rate will fall rapidly and that etching will stop mostly. Consequently, it is p+ as shown in drawing 6 (f). It becomes possible to leave a layer 63 alternatively. And p+ By heat-treating in a hydrogen ambient atmosphere, after the layer 63 has been exposed, it is p+ by out-diffusion. The boron in a layer 63 is extracted. Consequently, as shown in drawing 6 (g), the SOI substrate with which low concentration silicon layer 63a is formed does not almost have a defect by the partial minute level difference was formed in the front face like the gestalten 2 of said operation is completed.

51] The manufacture approach of the SOI substrate in the gestalt 4 of implementation of this invention is explained in drawing 7 and 8 below gestalt 4. of operation. First, after making into clarification silicon wafer 71 front face manufactured by the CZ process, as shown in drawing 7 (a), the thermal oxidation film 72 is formed by oxidizing normally at the oxidation temperature of 1150 degrees C. Next, as shown in drawing 7 (b), the formed thermal oxidation film 72 is removed using the etching reagent of a fluoric acid system, and the silicon front face of a silicon wafer 71 is exposed.

52] Next, as shown in drawing 7 (c), on a silicon wafer 71, silicon is grown epitaxially and an epilayer 73 is formed. Next, as shown in drawing 7 (d), the ion implantation of the boron is carried out to an epilayer 73, and it is p+. A layer is formed. It is made for the boron which carries out an ion implantation not to reach a silicon wafer 71 at this time. Next, as shown in drawing 8 (e), it is p+ of this silicon wafer 71. The support substrate 75 is made to rival on layer 74 on front face. In addition, the thermal oxidation film 76 is beforehand formed in support substrate 75 front face. And it is heat-treated and the adhesive strength is strengthened.

53] Next, as shown in drawing 8 (f) from silicon wafer 71 rear face, grinding polish is carried out and lamination of silicon wafer 71 is carried out. Next, as shown in drawing 8 (g), with a potassium-hydroxide water solution, the silicon layer whose impurity is inside low concentration alternatively is etched, and the thermal oxidation film 76 is removed on the support substrate 75, and it is p+. It leaves only a layer 74. In addition, you may make it use EPW liquid for this etching.

54] Subsequently, as shown in drawing 8 (h), by heat-treating in a hydrogen ambient atmosphere, boron is extracted from atmospheric air by out-diffusion, and silicon layer 74a from which the impurity became low concentration through thermal oxidation film 76 on the support substrate 75 is formed. The SOI substrate by silicon layer 74a which is added the lower layer thermal oxidation film 76, and was made into the insulator layer by the above thing is completed. And according to the gestalt 4 of this operation, the SOI substrate which does not almost have a defect by partial minute level difference can be obtained like the gestalten 1-3 of said operation.

55] In addition, although he is trying to use for example, the boron dirty stopping method as the technique of leaving a silicon layer with the gestalten 1-4 of the above-mentioned implementation, it does not restrict to this. for example, CE (Plasma Assisted Chemical Etching) which removes the silicon wafer by performing local plasma etching by the measurement result of the residual film thickness of silicon -- it cannot be overemphasized that you may make it use law the technique of leaving a silicon layer.

56] [Effect of the Invention] The support substrate which consists of silicon with which the single-crystal-silicon layer was formed in the silicon wafer front face which manufactured by the crystal Czochralski method with epitaxial growth, and insulator layer of predetermined thickness was formed in this and a front face is made to rival in this invention on an insulator layer front face and a single-crystal-silicon layer front face, as explained above. And a silicon wafer is removed from the rear face, and it left the single-crystal-silicon layer on the insulator layer. Moreover, before forming a single-crystal-silicon layer in addition to the above thing, the impurity of concentration higher than a silicon wafer is

duced into a silicon wafer front face, the impurity installation layer of predetermined thickness is formed in it. Moreover, a single-crystal-silicon layer is formed on the impurity installation layer. And the selective etching using a high-impurity-concentration difference removes a silicon wafer from a rear face, an impurity installation layer is exposed, and the high impurity concentration of an impurity installation layer was made to fall by heating by the ambient atmosphere.

57] By the above thing, the local minute level difference shown in a silicon wafer front face by the single-crystal-silicon stratification decreases. Consequently, according to this invention, defective generating resulting from that local minute level difference of the SOI substrate manufactured by lamination can be controlled. Moreover, since an impurity installation layer can leave a selection target in selective etching, it can leave a silicon layer to the thickness of the conductive layer in impurity installation. Consequently, the thickness of a silicon layer can be controlled now by thickness of impurity installation, and can make a silicon layer thinner.

58] Moreover, predetermined time heating of the silicon wafer manufactured by the crystal Czochralski method is carried out in the ambient atmosphere of a non-oxidizing quality of having hydrogen, and the front face of that silicon wafer is made to rival in this invention on said insulator layer front face of the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed. And predetermined thickness removal of the silicon wafer is carried out from the rear face, and it left the silicon layer of predetermined thickness on said insulator layer. The local minute level difference in a silicon wafer front face decreases by heat treatment of the non-oxidizing atmosphere which contained hydrogen by the above thing. Consequently, according to this invention, defective generating resulting from that local minute level difference of the SOI substrate manufactured by lamination can be controlled.

59] And in this invention, after forming the thermal oxidation film in that front face by carrying out predetermined time heating of the silicon wafer manufactured by the crystal Czochralski method within the ambient atmosphere which contains oxygen, this thermal oxidation film is removed. Subsequently, the front face of the silicon wafer is made to rival on said insulator layer front face of the support substrate which consists of silicon with which the insulator layer of predetermined thickness was formed. And predetermined thickness removal of the silicon wafer is carried out from the rear face, and it left the silicon layer of predetermined thickness on the insulator layer. Thus, the local minute level difference in a silicon wafer front face decreases by forming the thermal oxidation film. And if this thermal oxidation film is removed, the silicon wafer front face which the local minute level difference reduced will be obtained. Consequently, according to this invention, defective generating resulting from that local minute level difference of the SOI substrate manufactured by lamination can be controlled.

translation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

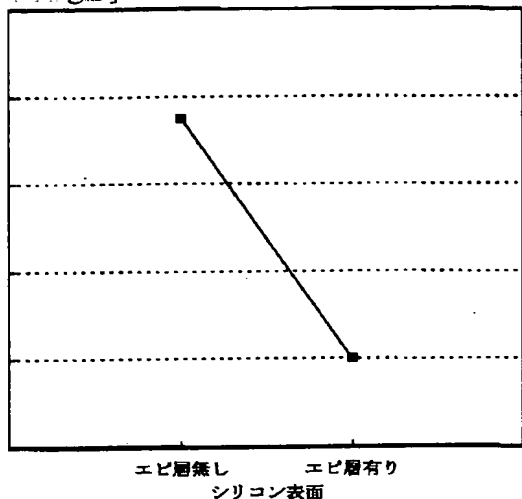
his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

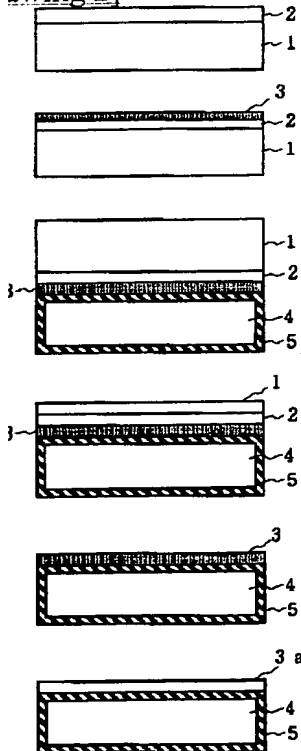
the drawings, any words are not translated.

AWINGS

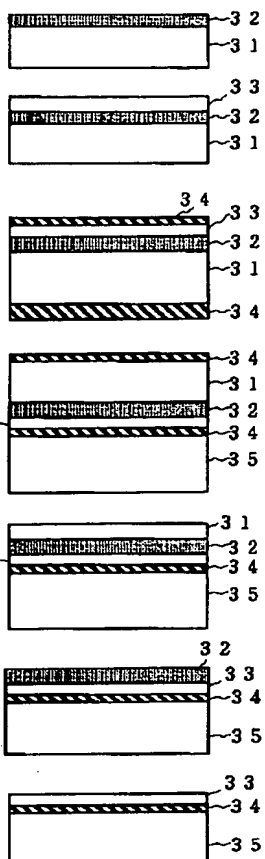
awing_1]



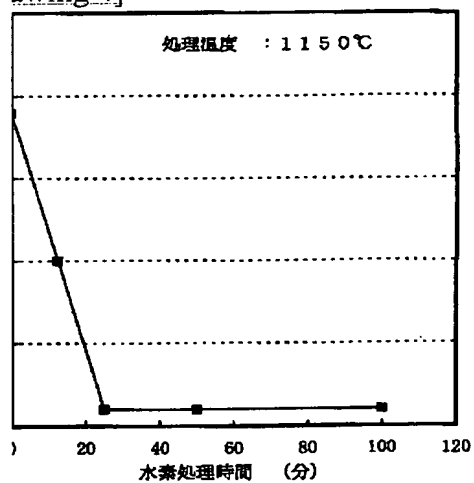
awing_2]



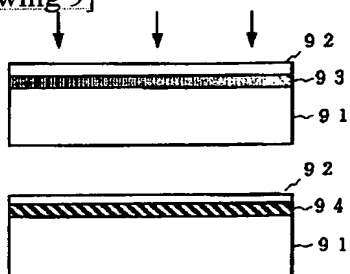
awing_3]



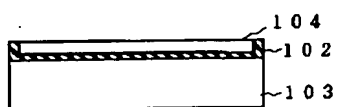
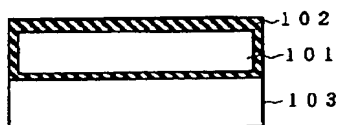
awing 4]



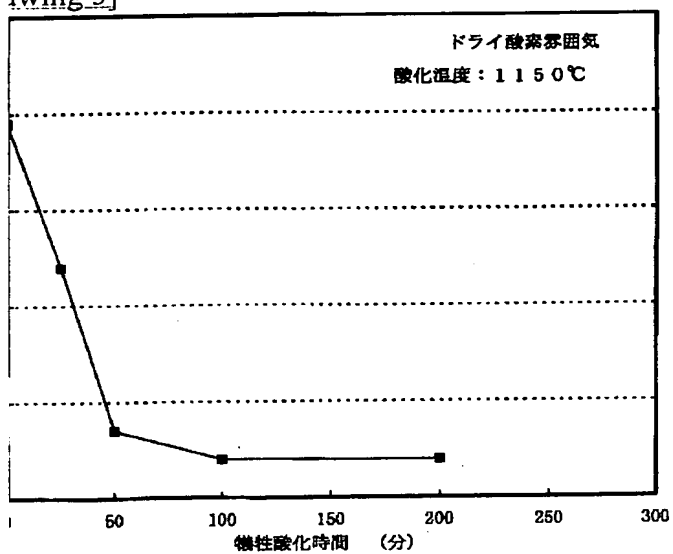
awing 9]



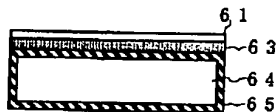
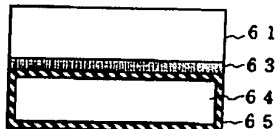
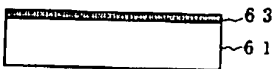
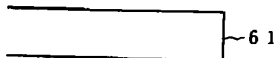
awing 10]



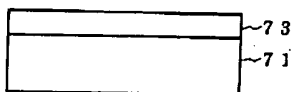
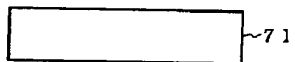
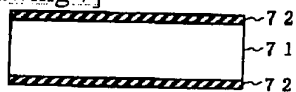
awing 5]



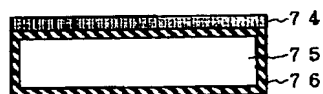
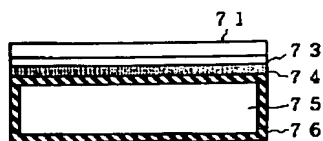
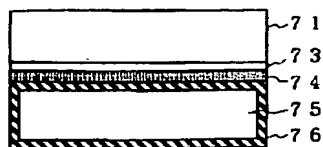
awing 6]



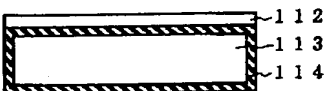
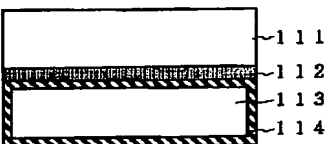
awing 7]



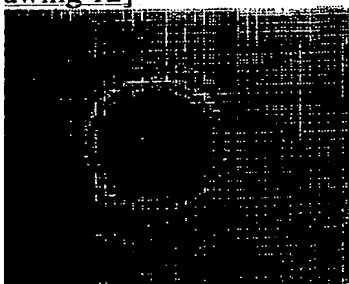
awing 8]



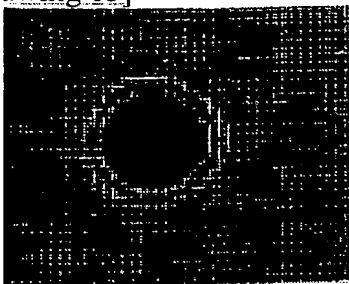
awing 11]



awing 12]



awing 13]



BEST AVAILABLE COPY

translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79498

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	B
21/304	3 2 1		21/304	3 2 1 S

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平8-232906

(22) 出願日 平成8年(1996) 9月3日

(71) 出願人 000004226

日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号

(71) 出願人 000190149

信越半導体株式会社
東京都千代田区丸の内1丁目4番2号

(72) 発明者 海野 秀之

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 逸見 学

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

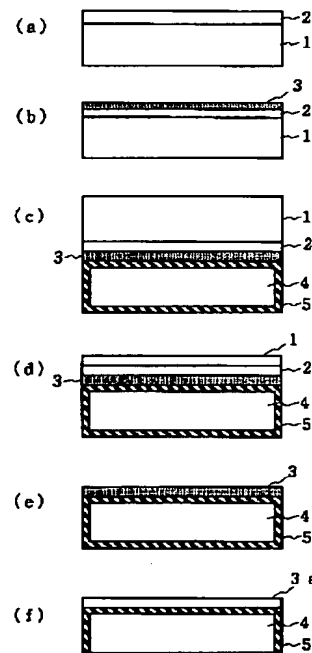
(74) 代理人 弁理士 山川 政樹

最終頁に続く

(54) 【発明の名称】 S O I 基板の製造方法

(57) 【要約】

【課題】 張り合わせにより製造する S O I 基板の欠陥発生を抑制できるようにすることを目的とする。

【解決手段】 シリコンウエハ 1 上にシリコンをエビタキシャル成長してエビ層 2 を形成し、このエビ層 2 にボロンをイオン注入して p⁺ 層 3 を形成する。そして、このシリコンウエハ 1 の p⁺ 層 3 表面に、支持基板 4 を張り合わせた後、シリコンウエハ 1 裏面より研削研磨してそのシリコンウエハ 1 を薄層化する。

【特許請求の範囲】

【請求項1】 結晶引き上げ法により製造したシリコンウエハ表面にエピタキシャル成長により単結晶シリコン層を形成する第1の工程と、

表面に所定の厚さの絶縁膜が形成されたシリコンからなる支持基板と前記シリコンウエハとを、前記絶縁膜表面と単結晶シリコン層表面とで張り合わせる第2の工程と、

前記シリコンウエハをその裏面より除去して前記絶縁膜上に前記単結晶シリコン層を残す第3の工程とを備えたことを特徴とするSOI基板の製造方法。

【請求項2】 結晶引き上げ法により製造したシリコンウエハを水素を有する非酸化性の雰囲気中で所定時間加熱する第1の工程と、

所定の厚さの絶縁膜が形成されたシリコンからなる支持基板の前記絶縁膜表面に前記シリコンウエハの表面を張り合わせる第2の工程と、

前記シリコンウエハをその裏面より所定厚さ除去して前記絶縁膜上に所定厚さのシリコン層を残す第3の工程とを備えたことを特徴とするSOI基板の製造方法。

【請求項3】 結晶引き上げ法により製造したシリコンウエハを酸素を有する雰囲気内で所定時間加熱することでその表面に熱酸化膜を形成した後、この熱酸化膜を除去する第1の工程と、

所定の厚さの絶縁膜が形成されたシリコンからなる支持基板の前記絶縁膜表面に前記シリコンウエハの表面を張り合わせる第2の工程と、

前記シリコンウエハをその裏面より所定厚さ除去して前記絶縁膜上に所定厚さのシリコン層を残す第3の工程とを備えたことを特徴とするSOI基板の製造方法。

【請求項4】 請求項2または3記載のSOI基板の製造方法において、

前記第1の工程の後、前記シリコンウエハ表面にエピタキシャル成長により単結晶シリコン層を形成し、

前記第2の工程では、前記支持基板の前記絶縁膜表面に前記シリコンウエハの単結晶シリコン層表面を貼り付け、

前記第3の工程では、前記シリコンウエハをその裏面より除去して前記絶縁膜上に前記単結晶シリコン層を残すことを特徴とするSOI基板の製造方法。

【請求項5】 請求項2～4いずれか1項記載のSOI基板の製造方法において、

前記加熱は1100℃を越える高温で行うことを特徴とするSOI基板の製造方法。

【請求項6】 請求項1記載のSOI基板の製造方法において、

前記第1の工程の前に、前記シリコンウエハ表面に前記シリコンウエハより高い濃度の不純物を導入して所定の厚さの不純物導入層を形成し、

前記第1の工程では、前記不純物導入層上に前記単結晶

シリコン層を形成し、

前記第3の工程では、不純物濃度差を利用した選択エッチングにより裏面より前記シリコンウエハを除去して前記不純物導入層を露出し、還元性雰囲気中で加熱することで前記不純物導入層の不純物濃度を低下することを特徴とするSOI基板の製造方法。

【請求項7】 請求項2～5いずれか1項記載のSOI基板の製造方法において、

前記第1の工程の後に、前記シリコンウエハ表面に前記シリコンウエハより高い濃度の不純物を導入して所定の厚さの不純物導入層を形成し、

前記第3の工程では、不純物濃度差を利用した選択エッチングにより裏面より前記シリコンウエハを除去して前記不純物導入層を露出し、還元性雰囲気中で加熱することで前記不純物導入層の不純物濃度を低下することを特徴とするSOI基板の製造方法。

【請求項8】 請求項1～5いずれか1項記載のSOI基板の製造方法において、

前記第3の工程では、シリコンの残膜厚の測定結果により局所的なプラズマエッチングを行うことで前記シリコンウエハ裏面より前記シリコンウエハを除去することを特徴とするSOI基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、張り合わせによるSOI基板の製造方法に関するものである。

【0002】

【従来の技術】シリコンを用いた半導体装置によるLSIの大集積化や高性能化が進む中で、それらLSIの高速、低消費電力化が要求されてきている。この要求に対応するMOSLSI用の基板として、従来より用いられているバルクシリコンウエハの代わりに、薄膜SOI基板が注目されている。薄膜SOI基板の製造方法としては、大きく分けて、酸素イオン注入を用いたSIMOX (Separation by Implanted Oxygen) 技術や、2枚の基板を張り合わせることによる張り合わせ技術がある。

【0003】はじめに、SIMOX技術の概略を説明する。これは、まず、図9(a)に示すように、 $4 \times 10^{17} \text{ cm}^{-2} \sim 2 \times 10^{18} \text{ cm}^{-2}$ と多量の酸素イオンを、バルクシリコンからなるウエハ91内部に注入する。このことにより、ウエハ91表面には、シリコン層92が形成され、その下に酸素イオン注入層93が形成される。次いで、そのウエハ91を加熱し、この熱処理によってウエハ91のシリコンと酸素イオン注入層93の酸素イオンとを反応させ、図9(b)に示すように、シリコン層92下に埋め込み絶縁膜94を形成する。

【0004】しかし、このSIMOX技術では、ウエハ表面のシリコン結晶中に多量の酸素イオンが通過していくため、表面シリコン(シリコン層)にはダメージが入り、結晶欠陥が多数発生する。そして、その後の熱処理

においても、結晶性は完全には回復せずに結晶欠陥が残る。このため、SIMOX技術により形成したSOI基板の表面シリコンの結晶性は、結晶引き上げ法で形成したシリコン基板より劣っている。

【0005】次に、張り合わせ技術の概要を説明する。まず、従来のバルクシリコンウエハ形成で培われた研削研磨加工技術を駆使してSOI基板を作成する技術がある。これは、図10(a)に示すように、シリコンウエハ101表面に熱酸化膜102を形成し、次いで、図10(b)に示すように、このシリコンウエハ101と支持基板103とを接着する。この後、それらの接着強度を熱処理により強める。そして、図10(c)に示すように、シリコンウエハ101側より研削研磨を行い、支持基板103上に熱酸化膜102を埋め込み絶縁膜としたシリコン層104が形成された状態とする。

【0006】上述の方法は、バルクシリコン研磨で培われた研磨技術のみでシリコンを薄膜化するため、形成されたシリコン層の結晶性はバルクシリコンと同等であると考えられ、かつ、低コストでSOI基板を形成できる技術である。しかし、研磨後の表面シリコン層の膜厚が、1~2 μm 程度になると、ウエハ面内の表面シリコン層膜厚の均一性が悪くなる。現状では、表面シリコン層膜厚が2 μm 以上のSOI基板の作成技術として実用化されているが、表面シリコン層膜厚が1 μm 以下のSOI基板の作製は困難である。

【0007】次に、シリコン層の膜厚が1 μm 以下の薄膜SOI基板作製技術であるPACE (Plasma Assisted Chemical Etching) 法を説明する。このPACE法では、まず、上述した研磨技術により2~5 μm 程度まで薄膜化したSOI基板を用意し、このSOI基板の面内のシリコン層膜厚分布を測定する。そして、その膜厚データをフィードバックさせながら局所的にプラズマエッチングをすることで、膜厚制御して1 μm 以下のシリコン層を形成する。このPACE法も、基本的にはバルクシリコンを研磨およびエッチングすることで薄膜化したシリコン層を形成する技術であり、SIMOX技術のようにイオン注入により結晶に多量のダメージを与えることはない。

【0008】また、張り合わせによる薄層SOI基板製造方法の1つに、ボロンエッチストップ法が提案されている(特開平8-139297号公報)。以下に、このボロンエッチストップ法について説明する。まず、図11(a)に示すように、バルクシリコンからなるウエハ111に高濃度ボロン層112を形成する。この高濃度ボロン層112のボロン濃度は、例えば $5 \times 10^{19} \text{cm}^{-3}$ 程度である。この高濃度ボロン層112の形成には、固相拡散またはイオン注入法などを用いればよい。

【0009】しかしここで、重要なことは高濃度ボロン層112形成時に結晶欠陥が入らないようにすることである。この高濃度ボロン層112は、最終的に埋め込み

絶縁膜上のシリコン層となり素子が形成される層となる。したがって、高濃度ボロン層112形成時に結晶欠陥が入ると、シリコン層としての結晶品質を維持することができなくなる。そしてその結晶品質維持のために、例えば、固相拡散により高濃度ボロン層112を形成する場合は、拡散温度と拡散時間を制御することにより、結晶欠陥が入らない条件が見いだされている。

【0010】次に、図11(b)に示すように、ウエハ111の高濃度ボロン層112形成面に支持ウエハ113を接着する。この支持ウエハ113表面には、予め熱酸化膜114が形成されている。次に、図11(c)に示すように、ウエハ111裏面より研削研磨して、ウエハ111の膜厚を数10 μm 以下にする。次に、水酸化カリウム水溶液もしくはEPW(エチレンジアミンポリカテコール水溶液)で選択エッチングを行う。

【0011】このエッチングでは、高濃度にボロンなどのp形不純物が導入されたシリコンでは、エッチング速度が低下する性質がある。このため、上述のエッチングを行うと、エッチングを開始した後、高濃度ボロン層112が露出するとエッチング速度が急激に低下し、そのエッチングはほぼ停止する。この結果、図11(d)に示すように、高濃度ボロン層112を選択的に残すことが可能となる。そして、高濃度ボロン層112が露出した状態で水素雰囲気中で熱処理すれば、外方拡散により高濃度ボロン層112中のボロンは抜けていき、図11(e)に示すように、低濃度シリコン層112aが表面に形成されたSOI基板が完成する。

【0012】以上に示したボロンエッチストップ法による張り合わせSOI基板のシリコン層は、バルクシリコンの結晶性を維持しながらシリコン層を薄層化するため、その結晶性は一般的にSIMOX基板よりも優れているといわれている。また、この方法によれば、ボロニオンの導入量(深さ)により、結果としてシリコン層の厚さを制御している。このため、この方法によれば、シリコン層をより薄く均一に形成することが可能となる。

【0013】

【発明が解決しようとする課題】ところが、上述した張り合わせにより作製したSOI基板のシリコン層表面に欠陥が発生することが判明した。例えば、ボロンエッチストップ法により作製したSOI基板のシリコン層表面には、図12に示すように円形の欠陥が発生していた。この欠陥の最外周の直径は50 μm にもおよんでいた。しかし、その数は、例えば6インチ径のウエハ内で10個以下とそれほど多いわけではない。この欠陥部分は、シリコン層表面よりも窪んでおり段差ができています。

【0014】当初、これはボロンエッチストップ法に特有の欠陥と考えていたが、PACE法で形成したSOI基板にも同様の欠陥が発生していることが判明した。この欠陥は、PACE法で形成したSOI基板表面の汚染

10

20

30

40

50

分析を行っているときに発見された。この汚染分析では、形成したSOI基板のシリコン層表面に極薄膜の酸化膜を形成してこの酸化膜を除去していくが、この工程を数回繰り返すと図13に示すような円形の欠陥が発生した。この欠陥は、やはり窪んでおり直径が数十 μm であった。また、その発生数はウエハ内で10個以下であった。このPACE法で作製したSOI基板に発生した欠陥は、大きさや形状および発生個数など、前述のボロンエッチストップ法により発生した欠陥と酷似している。

【0015】上述した欠陥は、1ウエハ当たり10個と発生数は少ないものの、この領域に形成された素子は確実に不良となり、LSIの歩留りを低減させるために決して好ましいものではない。この欠陥は、当初では、SOI作製工程におけるダスト（パーティクル）が原因で発生しているものと考えた。そして、工程雰囲気中のダスト低減や使用材料のより一層の清浄化などの措置を行うことで、その欠陥の減少を試みた。しかし、それらの措置による欠陥減少の効果は見られず、依然として図12および図13に示す欠陥が発生した。

【0016】これまでの説明で示したSOI基板で発見された欠陥は、通常の顕微鏡検査ではほとんど見つけられない欠陥である。ボロンエッチストップ法の中でシリコン薄膜中の高濃度ボロンを低減するために行う水素処理中に観察できたのは、以下に示すように、水素処理を行うためと考えられる。すなわち、上述した欠陥の原因は、本来シリコン表面に存在していたものの小さくて見つけられないものである。しかし、ボロンエッチストップ法では、水素処理中を行う。この処理において、その微小欠陥を通して酸化膜まで到達した水素ガスにより、埋め込み絶縁膜が還元作用によって消失する。そして、その還元により発生した酸素が欠陥周囲のシリコンと反応した水素ガスにより還元される。そして、それらのことが繰り返される。この繰り返しにより欠陥が次第に大きくなり、結果として見つけやすくなったのである。

【0017】また、PACE法で形成したSOI基板で発見された欠陥は、SOI基板の表面分析でシリコン層の酸化と酸化膜除去を繰り返すことによって、シリコン層に存在したある種の欠陥部分でシリコンが消失し、それが拡大することにより見つけられたものである。これら張り合わせによるSOI基板のシリコン層に発生する欠陥の原因を、SEM観察やオージェ分析などにより様々な角度から調査した結果、シリコンウエハ表面層のある種の結晶欠陥によって生じる非常に微小な段差が関与していることが判明した。

【0018】この発明は、以上のような問題点を解消するためになされたものであり、張り合わせにより製造するSOI基板の欠陥発生を抑制できるようにすることを目的とする。

【0019】

【課題を解決するための手段】この発明のSOI基板の製造方法は、結晶引き上げ法により製造したシリコンウエハ表面にエピタキシャル成長により単結晶シリコン層を形成し、これと表面に所定の厚さの絶縁膜が形成されたシリコンからなる支持基板とを、絶縁膜表面と単結晶シリコン層表面とで張り合わせる。そして、シリコンウエハをその裏面より除去して絶縁膜上に単結晶シリコン層を残すようにした。以上の単結晶シリコン層形成により、シリコンウエハ表面にある局所的な微小段差が低減する。また、以上のことに加えて、単結晶シリコン層を形成する前に、シリコンウエハ表面にシリコンウエハより高い濃度の不純物を導入し、所定の厚さの不純物導入層を形成しておく。また、単結晶シリコン層はその不純物導入層上に形成する。そして、不純物濃度差を利用した選択エッチングにより裏面よりシリコンウエハを除去して不純物導入層を露出し、還元性雰囲気中で加熱することで不純物導入層の不純物濃度を低下するようにした。このようにすることで、選択エッチングでは不純物導入層が選択的に残せるので、不純物導入における導入層の厚さにシリコン層を残すことができる。

【0020】また、この発明のSOI基板の製造方法は、結晶引き上げ法により製造したシリコンウエハを水素を有する非酸化性の雰囲気中で所定時間加熱し、所定の厚さの絶縁膜が形成されたシリコンからなる支持基板の前記絶縁膜表面にそのシリコンウエハの表面を張り合わせる。そして、シリコンウエハをその裏面より所定厚さ除去して前記絶縁膜上に所定厚さのシリコン層を残すようにした。以上の、水素を含んだ非酸化性雰囲気の熱処理により、シリコンウエハ表面にある局所的な微小段差が低減する。また、この発明のSOI基板の製造方法は、結晶引き上げ法により製造したシリコンウエハを酸素を有する雰囲気内で所定時間加熱することでその表面に熱酸化膜を形成した後、この熱酸化膜を除去する。次いで、所定の厚さの絶縁膜が形成されたシリコンからなる支持基板の前記絶縁膜表面にそのシリコンウエハの表面を張り合わせる。そして、シリコンウエハをその裏面より所定厚さ除去して絶縁膜上に所定厚さのシリコン層を残すようにした。このように、熱酸化膜を形成することで、シリコンウエハ表面にある局所的な微小段差が低減する。

【0021】

【発明の実施の形態】以下この発明の実施の形態を図を参照して説明する。欠陥の低減事例としては、SOI基板を形成してSOI基板の状態での欠陥数を測定し、従来の手法によるものと発明によるものを比較するのが最適である。しかし、1 μm 以下のシリコン薄膜の欠陥数評価は再現性や安定性に乏しい。そこで、初めにSOI基板形成前のバルクの状態のシリコンウエハの結晶欠陥を評価する。

【0022】評価対象としては、結晶引き上げ法（CZ法）によって形成したシリコンウエハを用いる。この用意したシリコンウエハの不純物濃度は、通常 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低濃度である。なお、以降では、このCZ法で形成したものをシリコンウエハと表現する。そして、このシリコンウエハ上にシリコンをエビタキシャル成長して膜厚 $10 \mu\text{m}$ のエピ層を形成したものも用意する。形成したエピ層の不純物濃度もシリコンウエハと同様に低濃度であり、通常は $1 \times 10^{16} \text{ cm}^{-3}$ 程度あるいはそれ以下である。このエピ層を形成したシリコンウエハと、エピ層を形成していないシリコンウエハのシリコン表面について局所微小欠陥観察を行った。この評価には、銅デコレーション法を用いた。

【0023】ここで、銅デコレーション法について以下に説明する。まず、評価すべきシリコン表面を熱酸化法により酸化して酸化膜を形成する。次に、銅デコレーション用装置の容器内にアルコール液を満たし、この溶液内で評価ウエハをマイナス電極、銅板をプラス電極として電圧を印加する。また、印加する電圧はシリコン酸化膜の絶縁耐圧電圧以下とする。このとき、評価ウエハ表面の酸化膜が全面均質ならば、酸化膜表面に銅析出は起こらない。

【0024】しかし、評価ウエハ表面の酸化膜中に欠陥が存在したり、局所的に酸化膜質が劣化していたり、あるいは酸化膜厚が薄かったりすると、ある電界強度以上でこの欠陥部分に電流が流れ出し、欠陥部分の酸化膜表面に銅が析出する。銅デコレーション法は、直接的にはシリコン表面に形成した酸化膜中に存在する欠陥を観察している。しかし、シリコン表面にある局所的な微小段差があった場合、そこに形成された酸化膜には形状効果により電解が集中しやすく、また酸化膜質も周囲より劣るため、これら欠陥部に銅が析出する。すなわち、銅デコレーション法により銅の析出が観察された箇所は、酸化膜形成前に局所的な微小段差があったものと考えられる。したがって、銅デコレーション法は、シリコン表面の欠陥や局所的な微小段差の検出が可能である。

【0025】以上に説明した、エピ層を形成したシリコンウエハと形成していないシリコンウエハ表面の、銅デコレーション法により検出された局所微小段差の個数の評価結果を図1に示す。図1に示すように、エピ層を形成していないシリコンウエハ表面には、平均して4個弱の局所微小段差が発生していた。これに対して、エピ層を形成したシリコンウエハ表面では、局所微小段差が1個と減少している。これは、シリコンウエハ表面に存在したある種の結晶欠陥に起因する微小段差が、エピ層の成長過程でほとんど消滅してしまい、エピ層表面では微小段差が低減していることを示している。

【0026】前述したように、シリコンウエハ表面層のある種の結晶欠陥によって生じる非常に微小な段差が、例えばボロンエッチストップ法によるSOI基板表面欠

陥に関与している。このため、上述したことにより微小段差がほとんどない状態としたエピ層を形成したシリコンウエハを用いれば、欠陥のないSOI基板を形成できることになる。例えば、シリコンウエハ上に形成したエピ層のみを埋め込み絶縁膜上のシリコン層となるようにすれば、欠陥の少ないSOI基板を形成できる。

【0027】実施の形態1. 以下に、図2を用いて、CZ法により製造したシリコンウエハ上にエピ層を形成し、これを用いてボロンエッチストップ法によりSOI基板を作製する場合について説明する。

まず、ウエハメーカーから市販されているCZ法により製造されたシリコンウエハを洗浄することで表面の汚染物質を除去し、さらに自然酸化膜を除去して清浄なシリコン面を形成する。次いで、図2(a)に示すように、シリコンウエハ1上にシリコンをエビタキシャル成長してエピ層2を形成する。

【0028】次に、図2(b)に示すように、エピ層2にボロンをイオン注入して p^+ 層3を形成する。このとき、イオン注入するボロンがシリコンウエハ1に到達しないようにする。次に、図2(c)に示すように、このシリコンウエハ1の p^+ 層3表面に、支持基板4を張り合わせる。そして、熱処理を行いその接着力を強める。なお、支持基板4表面には熱酸化膜5が形成されている。次に、図2(d)に示すように、シリコンウエハ1裏面より研削研磨してそのシリコンウエハ1を薄層化する。

【0029】次に、図2(e)に示すように、水酸化カリウム水溶液によって選択的に不純物が中低濃度であるシリコン層をエッチングし、支持基板4上に熱酸化膜5を介して p^+ 層3のみを残すようにする。なお、このエッチングにおいて、EPW液を用いるようにしても良い。次いで、図2(f)に示すように、水素雰囲気中で熱処理することで、外方拡散によりボロンを大気中に抜いて、支持基板4上に熱酸化膜5を介して不純物が低濃度となったシリコン層3aを形成する。

【0030】以上のことにより、下層の熱酸化膜5を埋め込み絶縁膜としたシリコン層3aによるSOI基板が完成する。そして、この実施の形態1によれば、シリコンウエハ1表面に p^+ 層3を形成することで、ある種の結晶欠陥に起因する微小段差を消滅させている。そして、このシリコンウエハ1の表面に形成した p^+ 層3をSOI基板の埋め込み絶縁膜上のシリコン層として用いるようにしている。この結果、この実施の形態1によれば、前述したような欠陥がほとんどないSOI基板を得られる。

【0031】比較例1. ところで、張り合わせSOI基板において、エビタキシャル成長によるシリコン膜を用いる製造方法として、これまでにもダブルエッチストップ法とELTRAN法が今までに提案されている。始めに、ダブルエッチストップ法に関して説明する。ダブル

10

20

30

40

50

エッチストップ法では、まず、図3(a)に示すように、不純物が低濃度のシリコンウエハ31表面に、イオン注入あるいは拡散により高濃度にボロンを注入してp⁺層32を形成する。このp⁺層32のボロン濃度は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上である。

【0032】次いで、図3(b)に示すように、このp⁺層32上にエピタキシャル成長により不純物が低濃度の単結晶のシリコン層33を形成する。このシリコン層33は、最終的には素子が形成される領域となるので、形成する素子の電気特性を制御するためには、一般的には不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることが望ましい。したがって、p⁺層32とエピタキシャル成長したシリコン層33の間には、2～3桁の不純物濃度差ができる。

【0033】ここで、このように、不純物濃度差があると、シリコン層33には応力がかかり、形成したシリコン層33中には多くの結晶欠陥が発生する。この応力を緩和するために、エピタキシャル成長するシリコン膜の中に、シリコンと同じIV族元素である炭素やゲルマニウムを数%添加する方法が提案されている(Proceedings of the second international symposium on "SEMICONDUCTOR WAFER BONDING: SCIENCE, TECHNOLOGY, AND APPLICATION, PV93-29, p3, 1993)。

【0034】次に、図3(c)シリコン層33表面を熱酸化して酸化膜34を形成する。次いで、図3(d)に示すように、支持ウエハ35と張り合わせる。次に、図3(e)に示すように、シリコンウエハ31裏面より研削あるいは研磨して、このシリコンウエハ31を薄層化する。次に、水酸化カリウム水溶液もしくはEPW液を用いたウェットエッチングにより、シリコンウエハ31をエッチングする。このエッチングでは、図3(f)に示すように、ボロンが高濃度に導入されたp⁺層32はエッチングされずに残る。

【0035】そして、不純物が高濃度に導入されたシリコンを選択的にエッチングする手法により、p⁺層32を除去する。このことにより、図3(g)に示すように、支持ウエハ35上に埋め込み絶縁膜としての酸化膜34を介してシリコン層33が形成されたSOI基板を完成する。しかし、埋め込み絶縁膜上に残されたエピタキシャル成長によるシリコン膜は結晶欠陥が多く存在する単結晶シリコン膜か、あるいは、シリコン以外の不純物を数%も含んだシリコン膜である。すなわち、この比較例1によるシリコン膜は、CZ法により製造したシリコンの結晶性より劣ることは明かである。

【0036】前述の実施の形態1によるSOI基板とこの比較例1のSOI基板とを比較したとき、ともに高濃度にボロンを導入したP⁺層を形成するようにしている。しかし、実施の形態1によるSOI基板では、不純物が低濃度のSOI基板上にエピタキシャル成長することでシリコン層を形成するので、このシリコン層の結晶

性は良好である。そして、実施の形態1では、その良質なエピタキシャル成長によるシリコン膜に、結晶欠陥の入らない条件でp⁺層を形成するようにしている。

【0037】以上のことに対して、比較例1のダブルエッチストップ法では、シリコンウエハ表面にp⁺層を形成し、その上にエピタキシャル成長によりシリコン膜を形成している。このため、上述したように、形成したシリコン膜の結晶性は良好とは言えない。すなわち、実施の形態1でも比較例1でもエピタキシャル成長によるシリコン膜を用いているが、形成過程および形成した膜の結晶性が異なっている。

【0038】比較例2. 一方、ELTRAN法は、まず、多孔質シリコンの表面を熱処理によって単結晶層に変える。次いで、その上にエピタキシャル成長により単結晶シリコン膜を成長させる。そして、このシリコン膜を上述のダブルストップ法と同様に用い、SOI基板を作製する方法である。しかし、このエピタキシャル成長による単結晶シリコン膜には、 $2 \times 10^{17} \text{ cm}^{-2}$ の結晶欠陥が含まれていることが明らかにされている(日経マイクロデバイス10月号、p101、1994)。

【0039】したがって、このELTRAN法においてもエピタキシャル成長によるシリコン膜を用いているが、やはり、実施の形態1とは形成過程および形成した膜の結晶性が異なっている。以上示したように、ダブルエッチストップ法やELTRAN法で用いているエピタキシャル成長によるシリコン膜は、その結晶品質がCZ法によるシリコンウエハよりも劣っている。このため、それらの方法では、SOI基板における欠陥となる局所微小段差を低減できないことは明白である。

【0040】実施の形態2. ところで、上記実施の形態1では、エピタキシャル成長によるシリコン膜を形成することで、シリコンウエハ表面の局所微小段差を低減させるようにしたが、これに限るものではない。この実施の形態2では、エピタキシャル成長によるシリコン膜を形成せずに、シリコンウエハ表面の局所微小段差を低減する方法について示す。この実施の形態2では、水素ガスを含んだ雰囲気中で熱処理(水素処理)することで、シリコンウエハ表面の局所微小段差を低減するようにしたものである。

【0041】まず、図4に、処理温度1150℃で水素処理した場合の、処理時間と検出された局所微小段差の個数との関係を示す。図4に示すように、水素処理前に平均で4個あった局所微小段差が、30分の水素処理で平均0.5個に低減している。その後は、水素処理時間に依存せず、局所微小段差の個数は一定となる。この熱処理を100%窒素の雰囲気で行った場合は、このような低減効果はない。

【0042】水素中で加熱処理することで、シリコン表面にあった酸化物は水素の還元作用により除去されてシリコン清浄面が得られる。そして、これとともに、この

ような非酸化性の雰囲気では、所熱エネルギーによりシリコン原子の再配列が起こりやすく、局所的な微小段差が埋め込まれて欠陥が減少するものと考えられる。このため、熱処理温度が低いとシリコンの再配列が起こりにくいため、上述の水素処理は1100℃以上の高温で行わないとその効果は小さい。

【0043】そして、この水素雰囲気中の熱処理により局所的な微小段差が低減したシリコンウエハを用い、図11に示したボロンエッチストップ法によりSOI基板を作製する。このことにより、この実施の形態2においても、前記実施の形態1と同様に、局所的な微小段差による欠陥がほとんどないSOI基板を得られる。また、この実施の形態2によるSOI基板では、CZ法により製造されたシリコンウエハを薄層化することでシリコン層としている。このため、この実施の形態2においても、SOI基板表面のシリコン層が良好な結晶性を有するのはいうまでもない。

【0044】実施の形態3. 以下、この発明の第3の実施の形態について説明する。この実施の形態3では、以下に示す処理によりシリコンウエハ表面の局所微小段差を低減するようにしたものである。まず、CZ法により製造したシリコンウエハを用意し、酸素雰囲気中で熱処理を行い、シリコン表面に熱酸化膜を形成する。次に、この熱酸化膜をフッ酸あるいはフッ酸を含んだ水溶液で除去し、再びシリコンウエハ表面にシリコン面を露出させる。なお、上述の熱酸化膜の形成は、犠牲酸化と呼ばれている。

【0045】図5は、その犠牲酸化の処理時間と、形成した酸化膜を除去した後のシリコンウエハ表面の局所微小段差の個数との関係を示す説明図である。ここでは、ドライ酸素雰囲気中で1150℃に加熱することで犠牲酸化を行った。図5に示すように、酸化時間50分の処理で局所微小段差の個数は平均で1個以下に減少する。そして、酸化時間100分以上で、局所微小段差の数は一定となる。

【0046】ここでは、1150℃という高温で処理を行ったが、高温で行うほど局所微小段差の減少効果は顕著である。逆に、1100℃以下ではその効果は小さい。また、図5は、ドライ酸素雰囲気中で犠牲酸化を行った場合であるが、水蒸気を含んだ酸素雰囲気でも同様の結果となる。そして、この局所微小段差の減少効果は、1100℃を越える高温で熱酸化を行った場合に得られている。1100℃以下で熱酸化を行った後、窒素雰囲気中で1150℃の熱処理を行うようにしても、局所微小段差の減少効果は得られない。

【0047】以下、この実施の形態3におけるSOI基板の製造方法を、図6を用いて説明する。まず、CZ法で製造されたシリコンウエハ61表面を清浄にした後、図6(a)に示すように、酸化温度1150℃で熱酸化することで熱酸化膜62を形成する。次に、図6(b)

に示すように、形成した熱酸化膜62をフッ酸系のエッチング液を用いて除去し、シリコンウエハ61のシリコン表面を露出させる。

【0048】次いで、図6(c)に示すように、バルクシリコンからなるシリコンウエハ61に高濃度にボロンを導入することでp⁺層63を形成する。このp⁺層63のボロン濃度は、例えば $5 \times 10^{19} \text{ cm}^{-3}$ 程度である。このp⁺層63の形成には、固相拡散またはイオン注入法などを用いればよいが、重要なことはp⁺層63形成時に結晶欠陥が入らないようにすることである。このp⁺層63は、最終的に埋め込み絶縁膜上のシリコン層となり素子が形成される層となる。したがって、p⁺層63形成時に結晶欠陥が入ると、シリコン層としての結晶品質を維持することができなくなる。そのため、例えば、固相拡散によりp⁺層63を形成する場合は、拡散温度と拡散時間を制御することにより、結晶時間が入らない条件が見いだされている。

【0049】次に、図6(d)に示すように、シリコンウエハ61のp⁺層63形成面に支持ウエハ64を接着する。この支持ウエハ64表面には、予め熱酸化膜65が形成されている。次に、図6(e)に示すように、シリコンウエハ61裏面より研削研磨して、シリコンウエハ61の膜厚を数10μm以下にする。次に、水酸化カリウム水溶液もしくはEPW液で選択エッチングを行う。

【0050】このエッチングでは、高濃度にボロンなどのp形不純物が導入されたシリコンでは、エッチング速度が低下する性質がある。このため、上述のエッチングを行うと、エッチングを開始した後、p⁺層63が露出するとエッチング速度が急激に低下し、そのエッチングはほぼ停止する。この結果、図6(f)に示すように、p⁺層63を選択的に残すことが可能となる。そして、p⁺層63が露出した状態で水素雰囲気中で熱処理することで、外方拡散によりp⁺層63中のボロンを抜く。この結果、図6(g)に示すように、前記実施の形態1、2と同様に、局所微小段差による欠陥がほとんどない低濃度シリコン層63aが表面に形成されたSOI基板が完成する。

【0051】実施の形態4. 以下、この発明の実施の形態4におけるSOI基板の製造方法を、図7、8を用いて説明する。まず、CZ法で製造されたシリコンウエハ71表面を清浄にした後、図7(a)に示すように、酸化温度1150℃で熱酸化することで熱酸化膜72を形成する。次に、図7(b)に示すように、形成した熱酸化膜72をフッ酸系のエッチング液を用いて除去し、シリコンウエハ71のシリコン表面を露出させる。

【0052】次に、図7(c)に示すように、シリコンウエハ71上にシリコンをエビタキシャル成長してエビ層73を形成する。次に、図7(d)に示すように、エビ層73にボロンをイオン注入してp⁺層74を形成す

る。このとき、イオン注入するボロンがシリコンウエハ71に到達しないようにする。次に、図8(e)に示すように、このシリコンウエハ71のp⁺層74表面に、支持基板75を張り合わせる。なお、支持基板75表面には、予め熱酸化膜76が形成されている。そして、熱処理を行いその接着力を強める。

【0053】次に、図8(f)に示すように、シリコンウエハ71裏面より研削研磨してそのシリコンウエハ71を薄層化する。次に、図8(g)に示すように、水酸化カリウム水溶液によって選択的に不純物が中低濃度であるシリコン層をエッチングし、支持基板75上に熱酸化膜76を介してp⁺層74のみを残すようにする。なお、このエッチングにおいて、EPW液を用いるようにしても良い。

【0054】次いで、図8(h)に示すように、水素雰囲気中で熱処理することで、外方拡散によりボロンを大気中に抜いて、支持基板75上に熱酸化膜76を介して不純物が低濃度となったシリコン層74aを形成する。以上のことにより、下層の熱酸化膜76を埋め込み絶縁膜としたシリコン層74aによるSOI基板が完成する。そして、この実施の形態4によれば、前記実施の形態1～3と同様に、局所微小段差による欠陥がほとんどないSOI基板を得られる。

【0055】なお、上記実施の形態1～4では、シリコン層を残す手法として例えばボロンエッチストップ法を用いるようにしているが、これに限るものではない。例えば、シリコンの残膜厚の測定結果により局所的なプラズマエッチングを行うことでシリコンウエハを除去していくPACE(Plasma Assisted Chemical Etching)法を、シリコン層を残す手法として用いるようにしても良いことはいうまでもない。

【0056】

【発明の効果】以上説明したように、この発明では、結晶引き上げ法により製造したシリコンウエハ表面にエピタキシャル成長により単結晶シリコン層を形成し、これと表面に所定の厚さの絶縁膜が形成されたシリコンからなる支持基板とを、絶縁膜表面と単結晶シリコン層表面とで張り合わせる。そして、シリコンウエハをその裏面より除去して絶縁膜上に単結晶シリコン層を残すようにした。また、以上のことに加えて、単結晶シリコン層を形成する前に、シリコンウエハ表面にシリコンウエハより高い濃度の不純物を導入し、所定の厚さの不純物導入層を形成しておく。また、単結晶シリコン層はその不純物導入層上に形成する。そして、不純物濃度差を利用した選択エッチングにより裏面よりシリコンウエハを除去して不純物導入層を露出し、還元性雰囲気中で加熱することで不純物導入層の不純物濃度を低下するようにした。

【0057】以上のことにより、単結晶シリコン層形成により、シリコンウエハ表面にある局所的な微小段差が低減する。この結果、この発明によれば、張り合わせに

より製造するSOI基板の、その局所的な微小段差に起因する欠陥発生を抑制できる。また、選択エッチングでは不純物導入層が選択的に残せるので、不純物導入における導入層の厚さにシリコン層を残すことができる。この結果、シリコン層の厚さは、不純物導入の厚さにより制御できるようになり、シリコン層をより薄くすることができる。

【0058】また、この発明では、まず、結晶引き上げ法により製造したシリコンウエハを水素を有する非酸化性の雰囲気中で所定時間加熱し、所定の厚さの絶縁膜が形成されたシリコンからなる支持基板の前記絶縁膜表面にそのシリコンウエハの表面を張り合わせる。そして、シリコンウエハをその裏面より所定厚さ除去して前記絶縁膜上に所定厚さのシリコン層を残すようにした。以上のことにより、水素を含んだ非酸化性雰囲気の熱処理により、シリコンウエハ表面にある局所的な微小段差が低減する。この結果、この発明によれば、張り合わせにより製造するSOI基板の、その局所的な微小段差に起因する欠陥発生を抑制できる。

【0059】そして、この発明では、結晶引き上げ法により製造したシリコンウエハを酸素を有する雰囲気内で所定時間加熱することでその表面に熱酸化膜を形成した後、この熱酸化膜を除去する。次いで、所定の厚さの絶縁膜が形成されたシリコンからなる支持基板の前記絶縁膜表面にそのシリコンウエハの表面を張り合わせる。そして、シリコンウエハをその裏面より所定厚さ除去して絶縁膜上に所定厚さのシリコン層を残すようにした。このように、熱酸化膜を形成することで、シリコンウエハ表面にある局所的な微小段差が低減する。そして、この熱酸化膜を除去すれば、局所的な微小段差が低減したシリコンウエハ表面が得られる。この結果、この発明によれば、張り合わせにより製造するSOI基板の、その局所的な微小段差に起因する欠陥発生を抑制できる。

【図面の簡単な説明】

【図1】 エピ層を形成したシリコンウエハと形成していないシリコンウエハ表面の、銅デコレーション法による局所微小段差の個数の評価結果を示す説明図である。

【図2】 この発明の第1の実施の形態におけるSOI基板の製造方法を説明する断面図である。

【図3】 実施の形態1に対する比較例1であるダブルエッチストップ法によるSOI基板の製造方法を説明するための断面図である。

【図4】 処理温度1150℃で水素処理した場合の、処理時間と検出された局所微小段差の個数との関係を示す説明図である。

【図5】 犠牲酸化の処理時間と、形成した酸化膜を除去した後のシリコンウエハ表面の局所微小段差の個数との関係を示す説明図である。

【図6】 この発明の実施の形態3におけるSOI基板の製造方法を説明する断面図である。

【図7】 この発明の実施の形態4におけるSOI基板の製造方法を説明する断面図である。

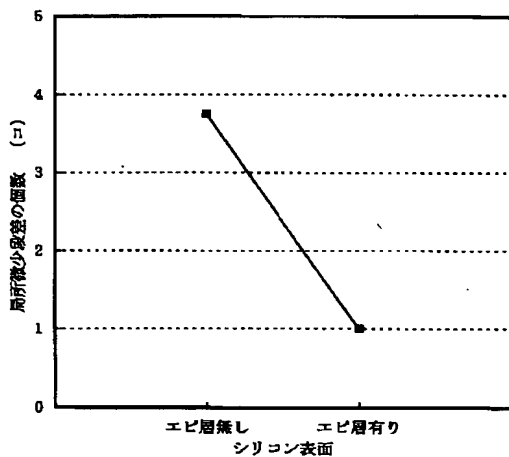
【図8】 図7に続いて実施の形態4におけるSOI基板の製造方法を説明する断面図である。

【図9】 SIMOX技術の概略を説明する断面図である。

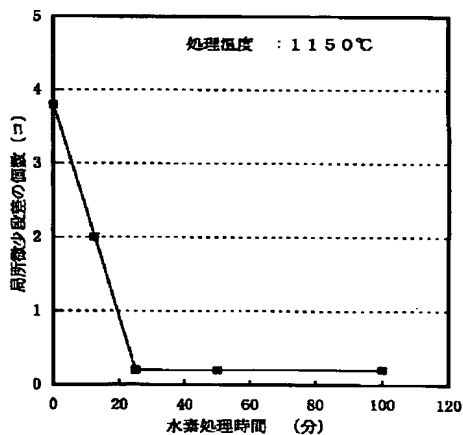
【図10】 SOI基板を張り合わせにより製造する技術の概要を示す断面図である。

【図11】 ボロンエッチストップ法によるSOI基板*

【図1】



【図4】



*の製造方法を説明する断面図である。

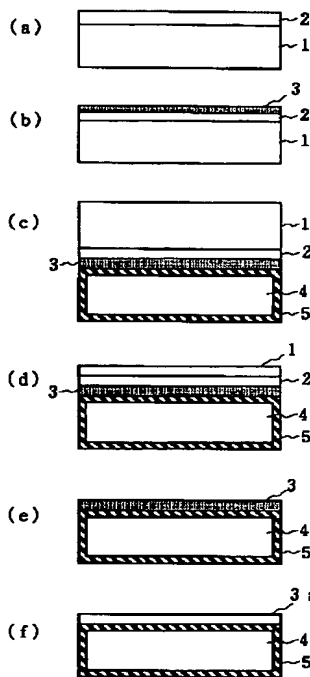
【図12】 ボロンエッチストップ法により作製したSOI基板のシリコン層表面に発生する欠陥を示す説明図である。

【図13】 PACE法で作製したSOI基板のシリコン層表面に発生する欠陥を示す説明図である。

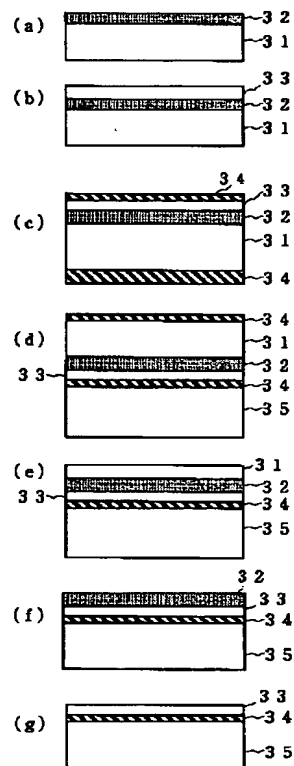
【符号の説明】

1…シリコンウエハ、2…エピ層、3…p⁺層、3a…シリコン層、4…支持基板、5…熱酸化膜。

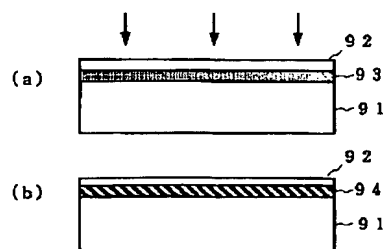
【図2】



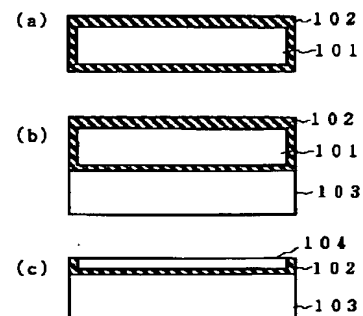
【図3】



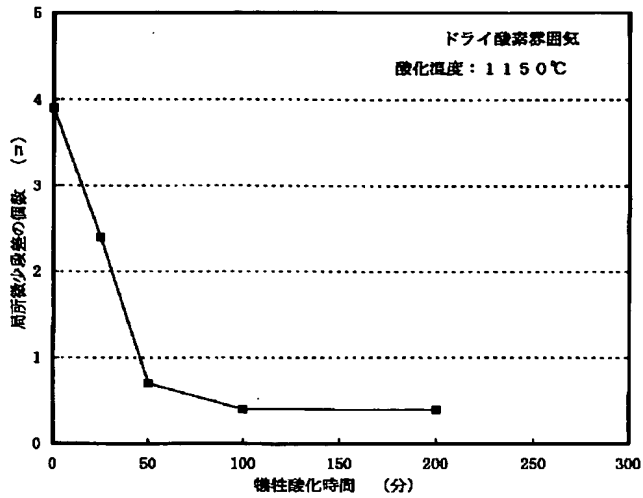
【図9】



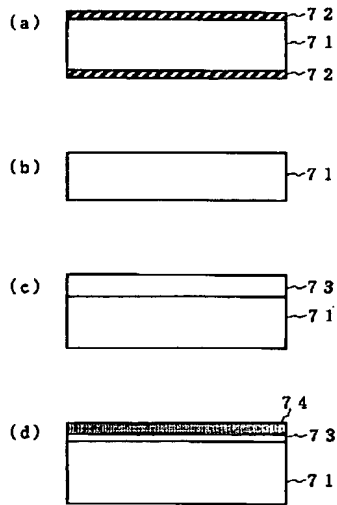
【図10】



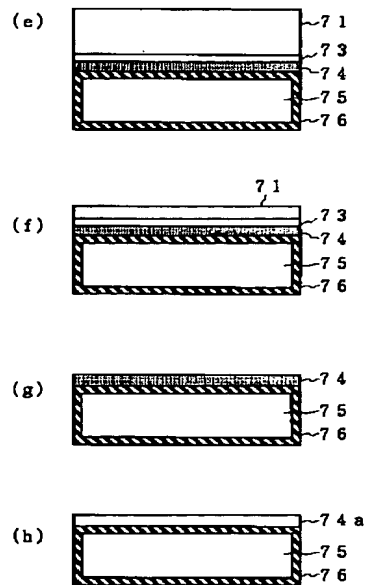
【図5】



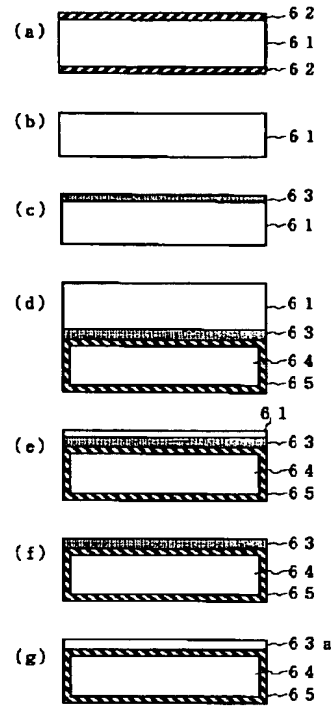
【図7】



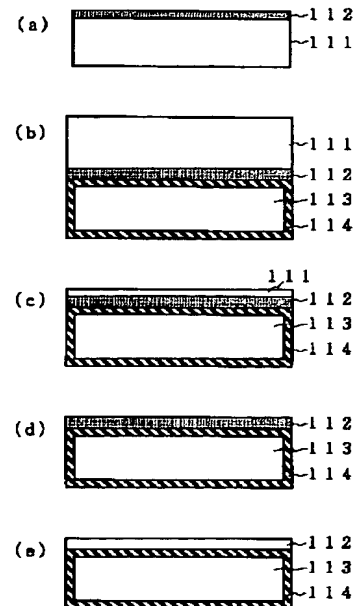
【図8】



【図6】



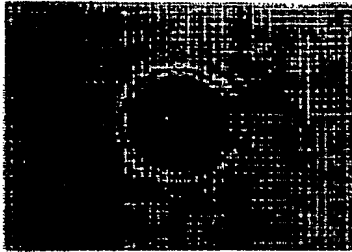
【図11】



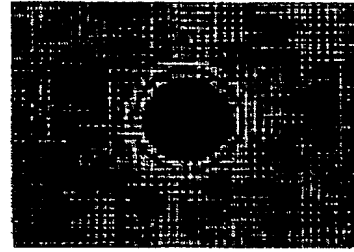
(11)

特開平10-79498

【図12】



【図13】



フロントページの続き

(72)発明者 今井 和雄
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 三谷 清
東京都千代田区丸の内一丁目4番2号 信
越半導体株式会社内
(72)発明者 阿賀 浩司
東京都千代田区丸の内一丁目4番2号 信
越半導体株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.